

Curso:

“Diseño de Sistemas Digitales Avanzados Descritos en VHDL e Implementados en FPGAs. Simulación y Síntesis”

Objetivo

Aprender el modo y técnicas de descripción de sistemas digitales mediante el uso de lenguaje de descripción de hardware (Hardware Language Description), particularmente VHDL. Conocer las distintas tecnológicas ofrecidas en el mercado de dispositivos lógicos programables. Comprensión y solución de problemas típicos de implementación de sistemas digitales en FPGAs. Configuración del FPGA. Simulación pre y post ruteo. Técnicas avanzadas de diseño.

Programa Analítico

1. Introducción a FPGAs

La evolución CPLDs y FPGAs. Tecnologías usadas: Flash, Fuse, SRAM. Arquitectura de un FPGA. Bloques dedicados: DSP, SRAM, Relojes. Bancos de Entradas/Salidas. Estándares E/S. Caminos críticos típicos en un FPGA. Generación de reloj, ruteo dedicado de reloj, y de bajo retardo. Bloques dedicados de muy alta velocidad de transmisión y recepción serie. Configuración de un FPGA, opciones.

2. Introducción a HDL - Modelación

Introducción a los lenguajes de descripción de hardware. Historia, necesidad e importancia de HDL. VHDL. Abstracción del lenguaje VHDL. Diseños jerárquicos. Entidad/Arquitectura. Modelación Estructural. Modelación Flujo de Datos. Modelación Comportamiento. Simulación. Instrucciones Secuenciales y Concurrentes. Concurrencia. Eventos y Transacciones.

3. Elementos del Lenguaje

Datos. Objetos. Tipos de Datos: escalares, compuestos, archivos. Subtipos. Arreglos (arrays). Operadores: lógicos, relacionales y aritméticos. Señales. Variables. Funciones de conversión de tipos. Funciones estándares. Funciones escritas por usuario.

4. Instrucciones Secuenciales

Asignación de variables. Asignación de señales. Drivers, retardos de transporte, formas de ondas. Instrucciones: if-then, case-when, loop, next, exit, null, return, wait, assert.

5. Validación

Importancia de la validación. Distintas técnicas de validación. Patrones de escritura de Test Bench. Uso de instrucciones secuenciales y concurrentes en para generación de datos, relojes, resets, etc. Técnicas de comprobación de resultados. Validación pre y post ruteo. Diferencias.

6. Paquetes, Librerías y Subprogramas

Paquete, declaración y cuerpo Subprogramas. Funciones. Procedimientos. Uso de subprogramas. Ejemplos típicos de funciones y procedimientos. Funciones de conversión de tipos. Llamados concurrentes y secuenciales. Sobrecarga. Librerías.

7. Síntesis de Máquinas de Estado Finitas

VHDL para modelar y sintetizar FSMs. Inicialización, codificación y estados redundantes. Distintos tipos de FSMs y su respectiva codificación. Síntesis de FSMs complejas en dispositivos lógicos programables. Ejemplos de síntesis usando FPGAs.

8. VHDL para Síntesis

Guías para síntesis de sistemas digitales. Síntesis usando Dispositivos Lógicos Programables (PLDs). VHDL para inferir flip-flops, latches, tri-estados. VHDL para generar circuitos combinatoriales. Simulación versus síntesis. Directivas para síntesis pos de implementación.

9. Análisis de Tiempo en FPGA

Frecuencia máxima de un sistema digital implementado en FPGA. Parámetros de tiempo más importantes. Tiempo de establecimiento. Tiempo de sostenimiento. Retardos de ruteo de entradas y salida. Uso de generadores de reloj para adelantar o atrasar flanco de reloj. Restricciones de tiempo más importantes.

10. Técnicas de Diseño Avanzado

Sincronización de buses. Uso correcto de habilitadores de reloj. Cargabilidad, problemas y soluciones. Uso de atributos de síntesis. Floorplanning. Locación de lógica en bloques específicos dentro del FPGA. Pipelining. Retiming. Como evitar optimización. Uso de opciones de herramienta de síntesis para un mejor rendimiento.

Bibliografía

1. *"The Designer's Guide to VHDL"*. P. Ashenden. Morgan Kaufman, Third Edition. 2008.
2. *"FPGA Prototyping by VHDL Examples: Xilinx Spartan-3 Version"*. Pong Chu. Wiley Interscience, 2008.
3. *"Digital Design. Principles and Practices"*. J. Wakerly. Prentice Hall. 2004.
4. *"Synthesis and Optimization of Digital Circuits"*. Giovanni De Micheli. Mc-Graw Hill. 1994.
5. *"A VHDL Primer"*. Jayaram Bhasker. Prentice Hall. Third Edition. 1998.
6. *"VHDL Analysis and Modeling of Digital Systems"*, Zainalabedin Navabi, Mc Graw-Hill, 1993.
7. *"Digital Design using Field Programmable Gate Arrays"*, Pak Chan and Samiha Mourad, Prentice Hall, 1994.
8. *"VHDL for Designers"*, Stefan Sjöholm and Lennert Lindh, Prentice Hall, 1997.

Profesores del Curso

Mg. Ing. Cristian Sisterna.

Régimen del Curso

Clases

Clases Teóricas por un total de 60 horas.

Laboratorios

A fin de complementar la teoría con la práctica el participante deberá llevar a cabo diversos laboratorios (adaptables a las necesidades de los participantes). A tal fin se dispondrán de computadoras personales con el software necesario para el desarrollo de los laboratorios. Para la implementación de los laboratorios se dispondrá también de cuatro kits de desarrollo basados en el FPGA Cyclone 4 de Altera. Por cada laboratorio de deberá presentar un informe siguiendo la guía de presentación de informes respectiva. Los laboratorios serán llevados a cabo en horario extra áulico, excepto el primero.

Proyecto final

Siendo uno de los objetivos del curso que el estudiante aprenda todos los pasos necesarios para llevar a cabo la implementación de un sistema digital un FPGA, es que el participante deberá desarrollar y presentar un proyecto final. La temática del proyecto final puede ser orientada por los Profesores o presentada por los estudiantes con aprobación de los Profesores.

Nota: Sumadas la horas áulicas de clases teóricas (60 horas) más las horas de laboratorios y del proyecto final se estima un total de aproximadamente 100 horas.