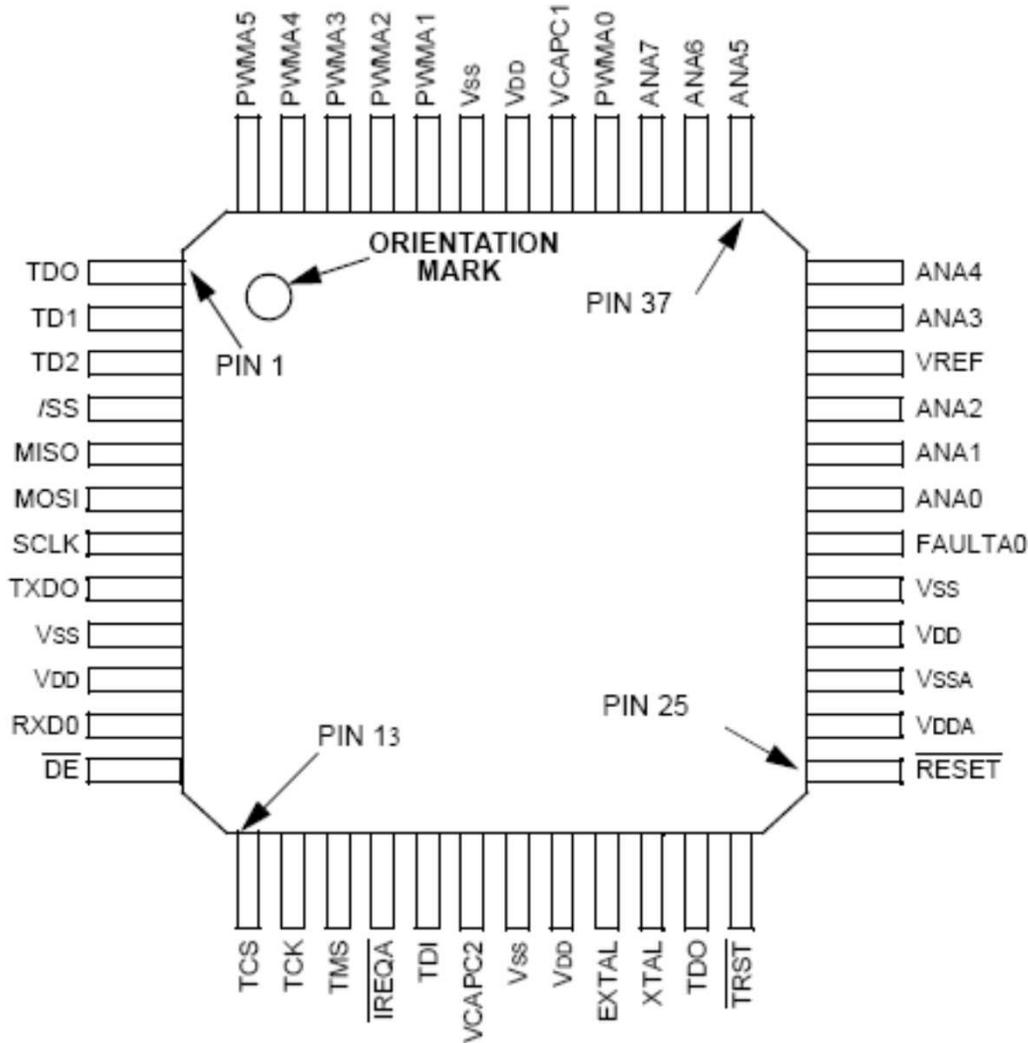


Universidad Tecnológica Nacional
Facultad Regional San Nicolás

Técnicas Digitales III

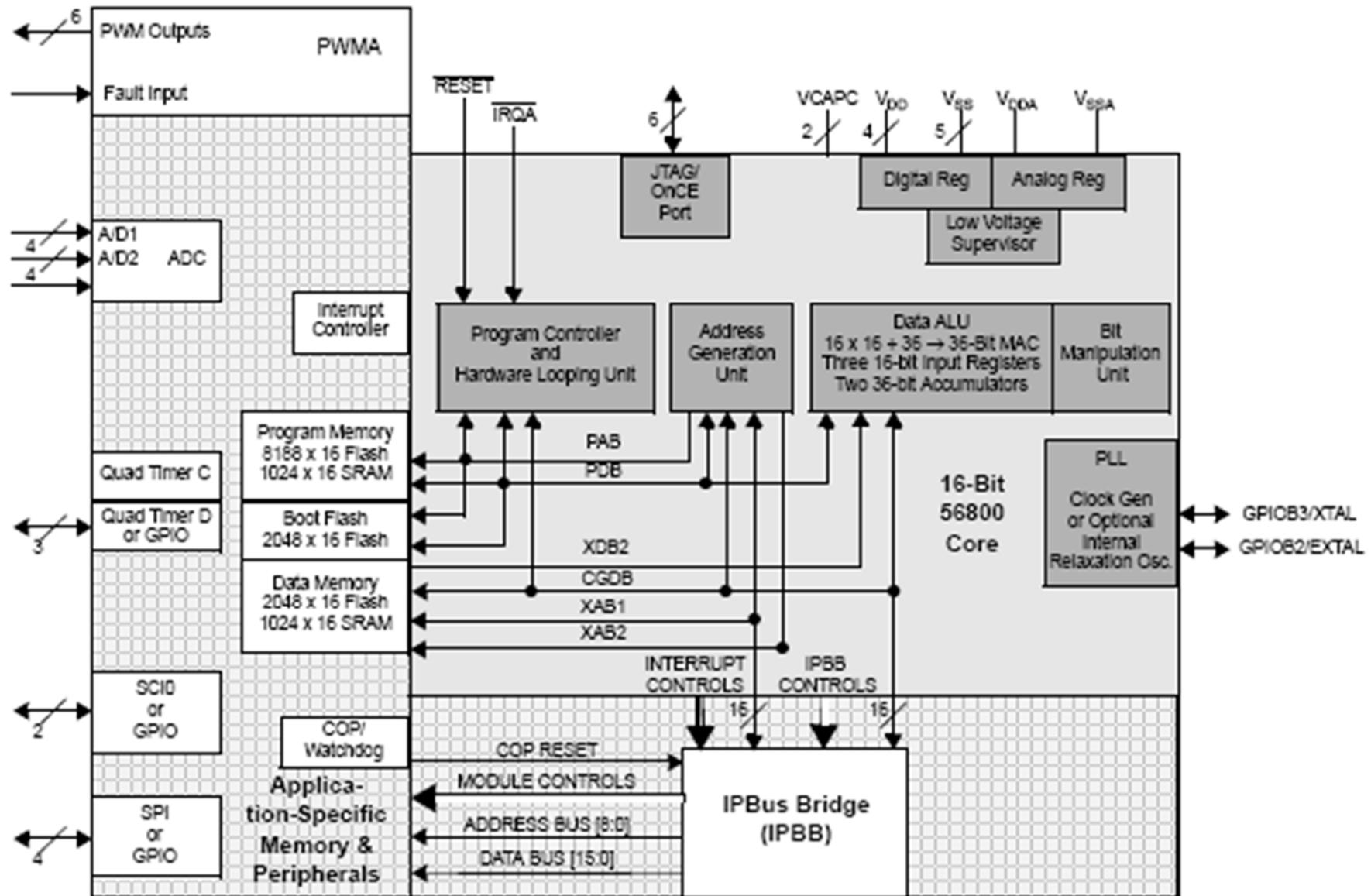
Familia 56800
DSP56F801

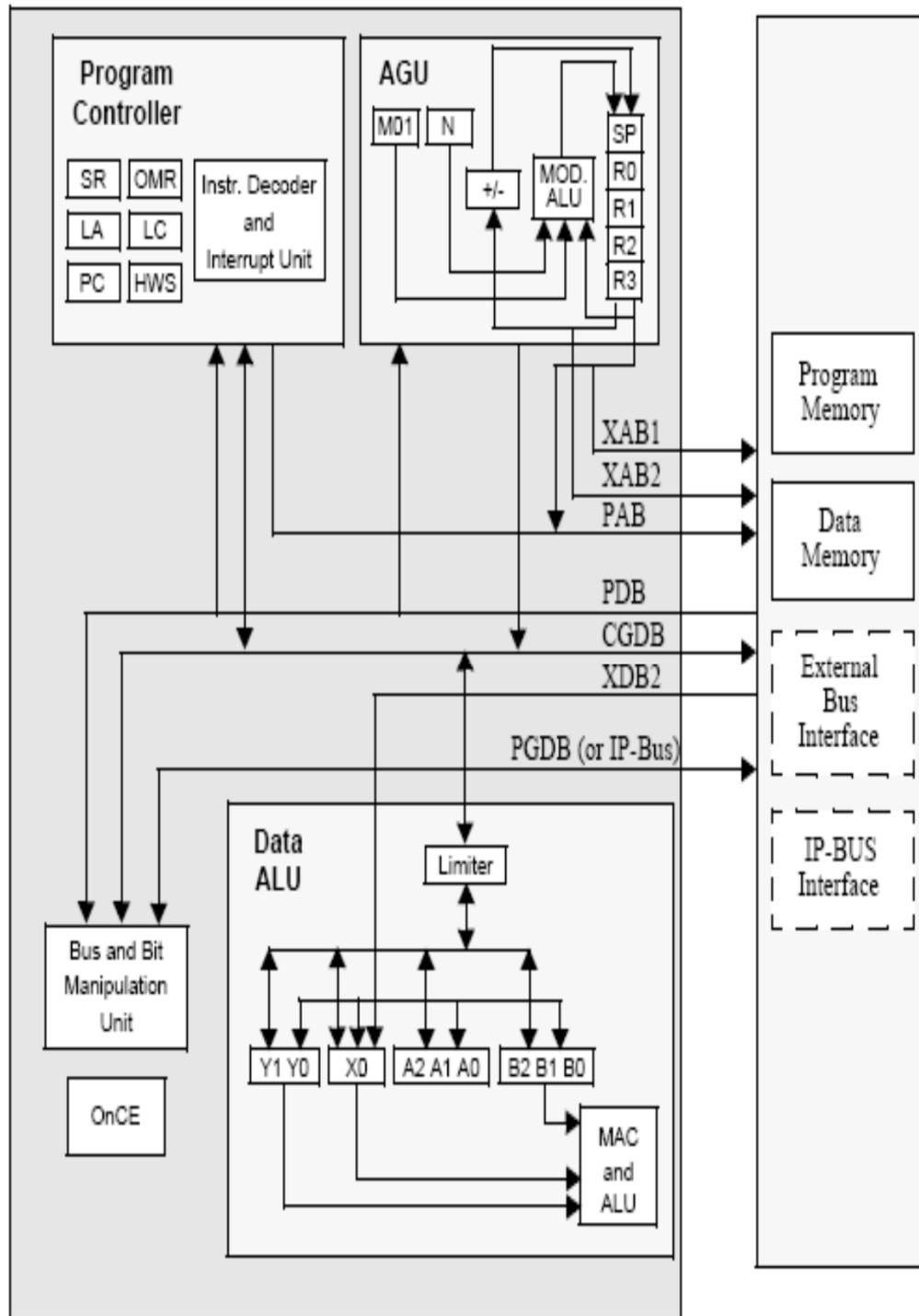
DSP56F801



Nombre funcional	Nº Pines
Power (V_{DD})	5
Ground (V_{SS})	6
Supply Cap.	2
PLL y Clock (EXTAL, XTAL) ¹	2
Interrupt and Program Control Signals (IRQA, RESET)	2
PWM Ports (PWM CH y Fault)	7
Serial Peripheral Interface (SCLK, MOSI, MISO, SS) ¹	4
Serial Communications Interface (SCI) (TXD0, RXD0) ¹	2
ADC (ADC CH y V_{REF})	9
Timer Module (TD0-2) ¹	3
JTAG/OnCE (T_{CK} , T_{MS} , T_{DI} , T_{DO} , T_{RST} , DE)	6
¹ Multiplex con GPIO	

DSP56F801 - Diagrama funcional





- Arquitectura Harvard. Usa 4 unidades de ejecución operando en paralelo.
 - Program Controller
 - Address Generation Unit
 - Arithmetic Logic Unit
 - Bus and Bit Manipulation Unit
- Multiplicación paralela de 16x16 bits en un solo ciclo con Multiplier-Accumulator (MAC).
- 2 acumuladores de 36 bit (incluyendo bit de extensión).
- 3 buses de dirección internos
- 4 buses de datos internos
- El set de instrucciones soporta funciones tanto de DSP como de controlador.
- JTAG/On-Chip Emulation para debugging y test.

56F801 - Características

- Program Flash 8Kx16bit (16KB).
- Program RAM 1Kx16bit (2KB).
- Data Flash 2Kx16bit (4KB).
- Data RAM 1Kx16bit (2KB).
- Boot Flash 2Kx16bit (4KB) (soporta código de booteo personalizado)
- PWM con 6 salidas y una entrada de falla (Fault).
- 2 ADCs de 4 canales con 12 bits de resolución.
- 2 módulos de 4 timers de propósito general.
- Serial Communication Interface con 2 pines.
- Serial Peripheral Interface con 4 pines configurables.
- 11 pines de puertos de propósito general (GPIO).
- 1 pin de interrupción externa.
- PLL programable por software
- Frecuencia de trabajo fijada por cristal externo o interno.
- 30 MIPS @ 60Mhz ó 40 MIPS @ 80Mhz.
- Encapsulado LQFP (Low-profile Quad Flat Package o encapsulado cuadrado plano de perfil bajo) de 48 pines.

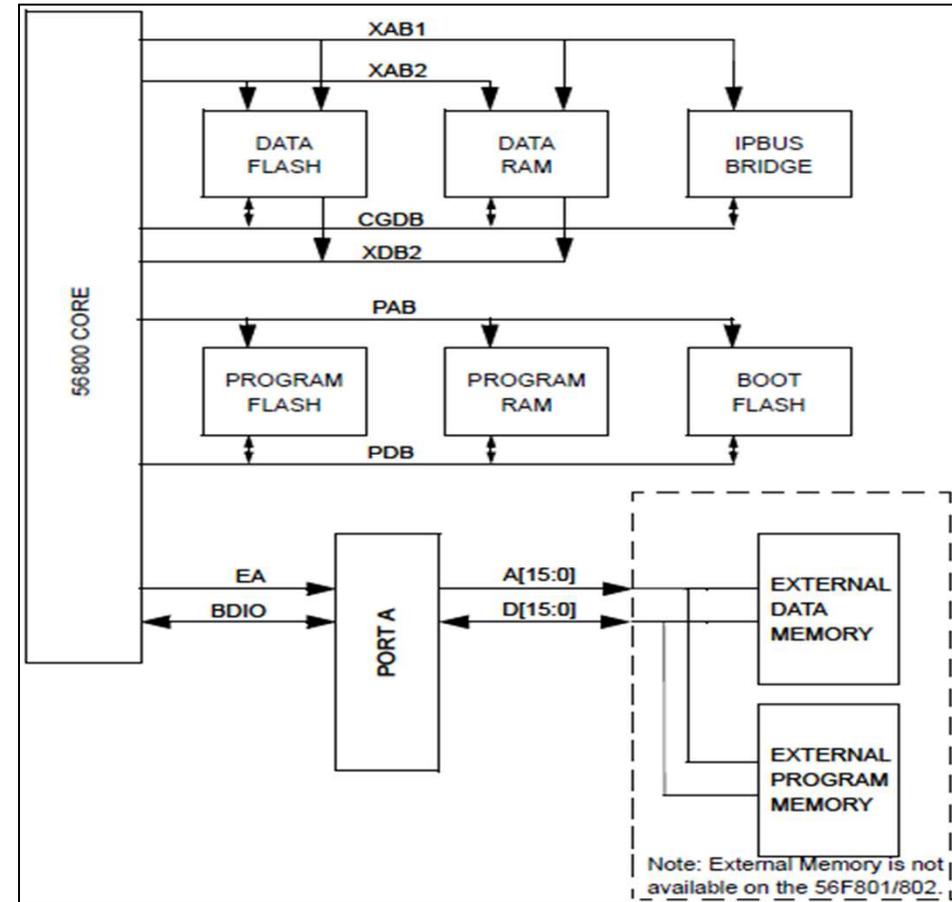
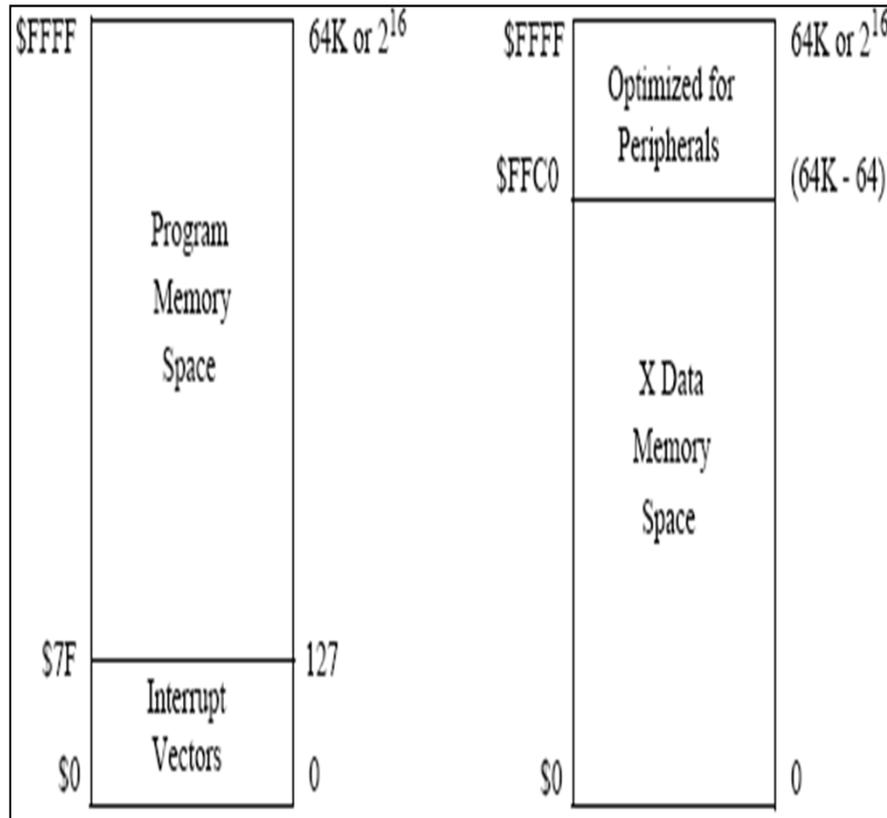
Instruction Pipelining

Operation	Instruction Cycle									
	1	2	3	4	5	6	7	•	•	•
Fetch	F1	F2	F3	F3e	F4	F5	F6	•	•	•
Decode		D1	D2	D3	D3e	D4	D5	•	•	•
Execute			E1	E2	E3	E3e	E4	•	•	•

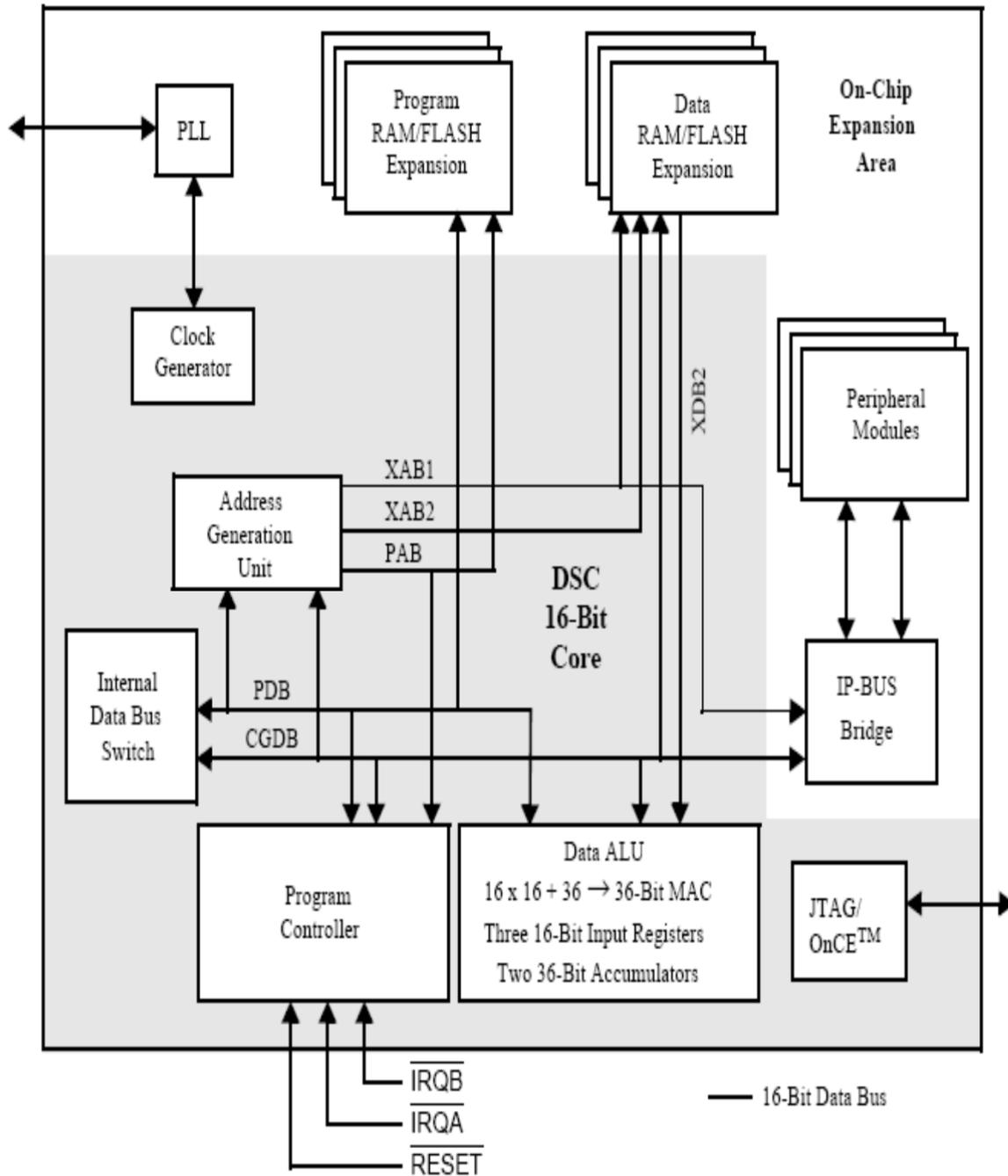
Instrucciones que alteran el ciclo normal del pipelined

- Las que ocupan mas de una palabra.
- Las que, por su modo de direccionamiento, requieren mas de un ciclo
- Las que causan un cambio en el control de flujo.

Arquitectura de Memoria.



Nota: El espacio para periféricos es dependiente de la implementación específica del núcleo del DSP. Cuando se usa IP-BUS, los periféricos pueden ser mapeados dentro del espacio de la X Data Memory y ser accedidos con escrituras y lecturas estandares.

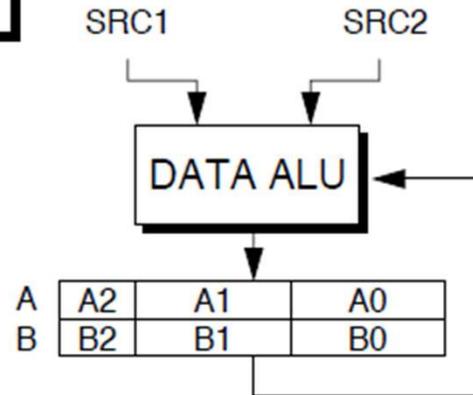


Bloques externos al núcleo.

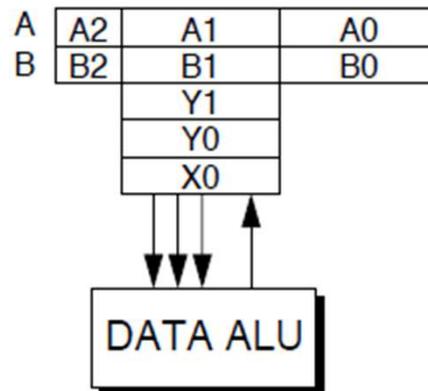
- Memoria FLASH de datos
- Memoria RAM de datos
- Memoria FLASH de programa
- Memoria RAM de programa
- Memoria Bootstrap FLASH de programa
- IP-BUS
- Phase Lock Loop (PLL)

Data ALU (Data Arithmetic Logic Unit)

Conventional



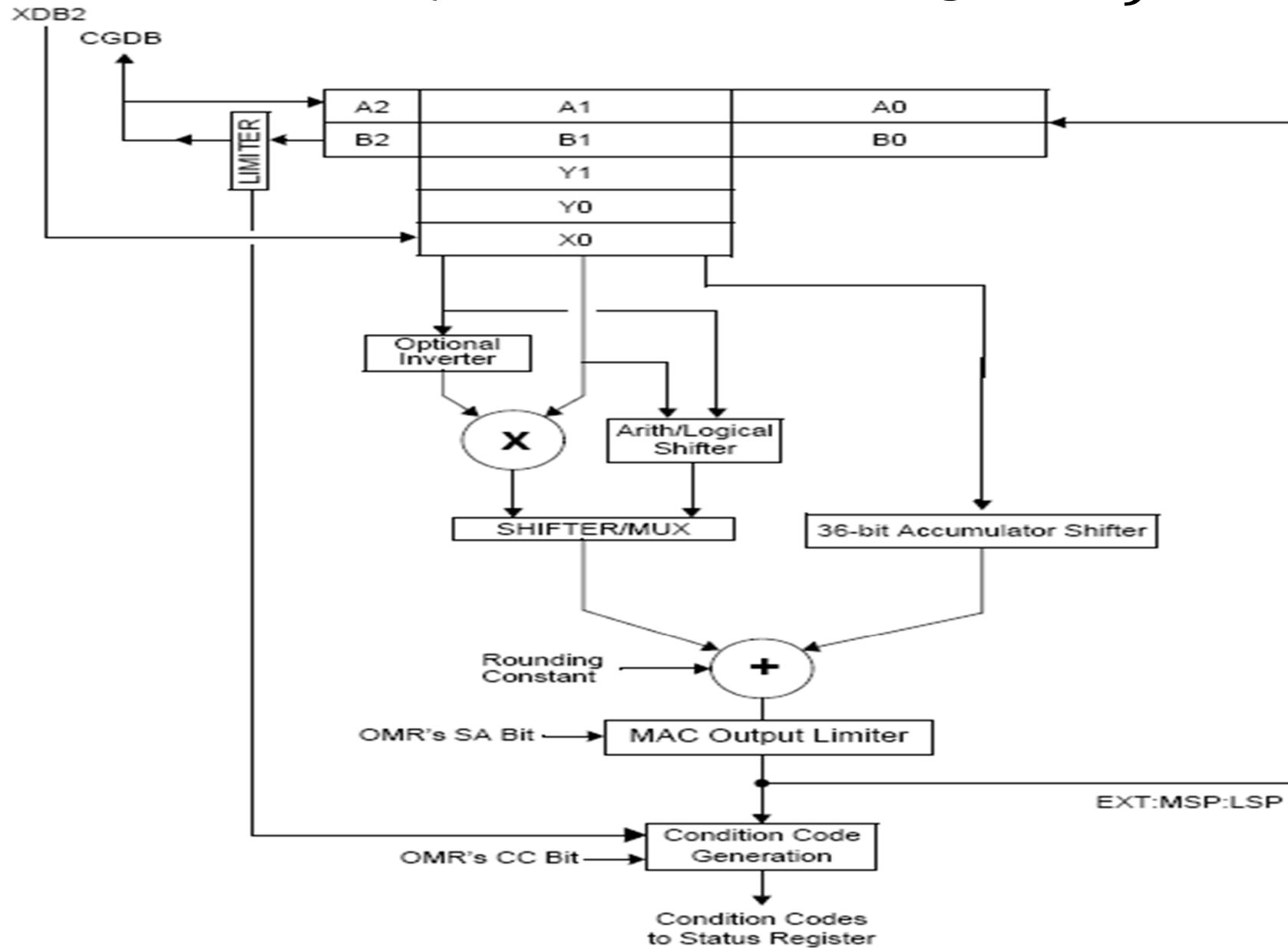
DSP56800



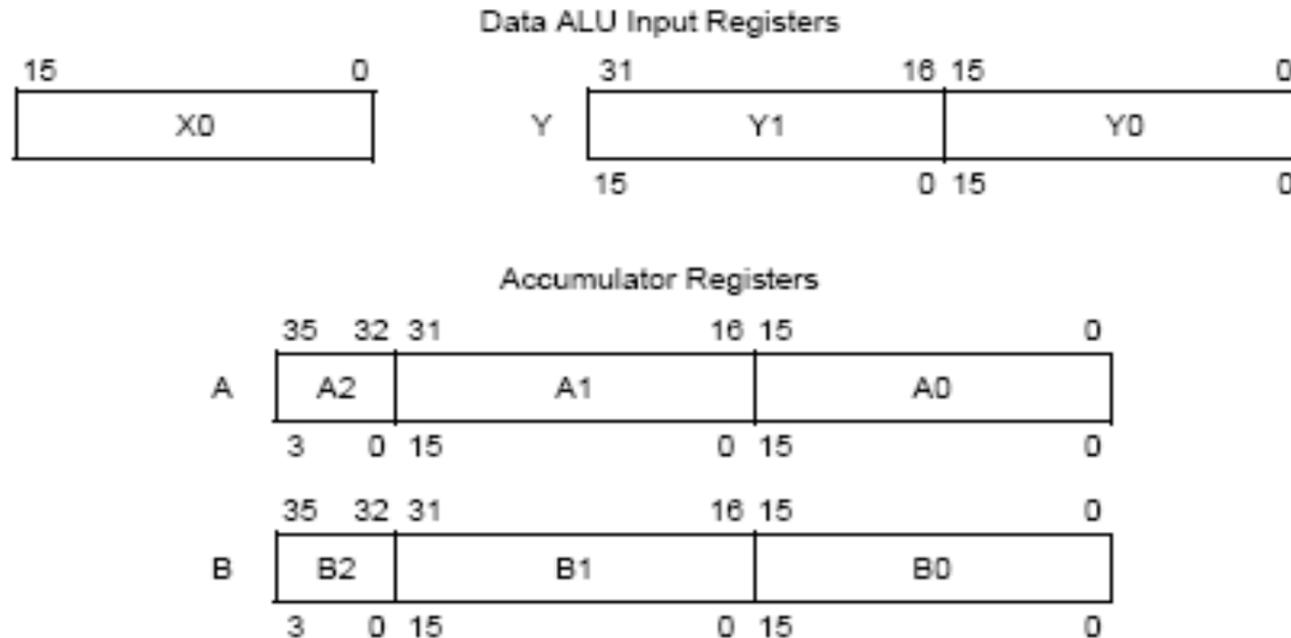
Realiza todas las operaciones matemáticas y lógicas sobre los datos

- 3 registros 16bits (X0, Y0 e Y1)
- 2 acumuladores de 36bit (A y B).
 - A0 y B0 registros de 16 bits
 - A1 y B1 registros de 16 bits
 - A2 y B2 registros de 4 bits.
- Unidad MAC.
- Un acumulador para desplazamientos.
- Un limitador de datos
- Un limitador del resultado de la MAC.

Data ALU (Data Arithmetic Logic Unit)



Registros de entrada para la Data ALU



- X0, Y1, Y0
 - Registros de 16 bits que sirven como entradas para la Data ALU.
 - Pueden tratarse como 3 de 16bits o uno de 16bits y otro de 32bits.
- A, B
 - Pueden tratarse como registros de 36bits o como sus porciones individuales.
 - Usándolos como 36 bits se mantiene la precisión en la multiplicación y otras operaciones realizadas por la ALU.

Multiply-Accumulator (MAC) and Logic Unit

- Multiplicación.
- Suma
- Resta
- Operaciones lógicas
- Operaciones aritméticas (excepto desplazamiento)
- Acepta hasta 3 operandos de entrada para resolver en uno de 36 bits de salida.

Operaciones que realiza la ALU en un ciclo de instrucción.

- Multiplicación (con o sin redondeo).
- Multiplicación con producto invertido (con o sin redondeo).
- Multiplicación y acumulación (con o sin redondeo).
- Multiplicación y acumulación con producto invertido (con o sin redondeo).
- Suma y resta
- AND, OR y OR exclusive.
- Comparación.
- Desplazamiento lógico y aritmético.
- Incremento y decremento.
- Rotaciones.
- Complemento a 2 (negación).
- Complemento a 1.
- Redondeo.
- Movimiento de registros condicional.

Address Generation Unit (AGU)

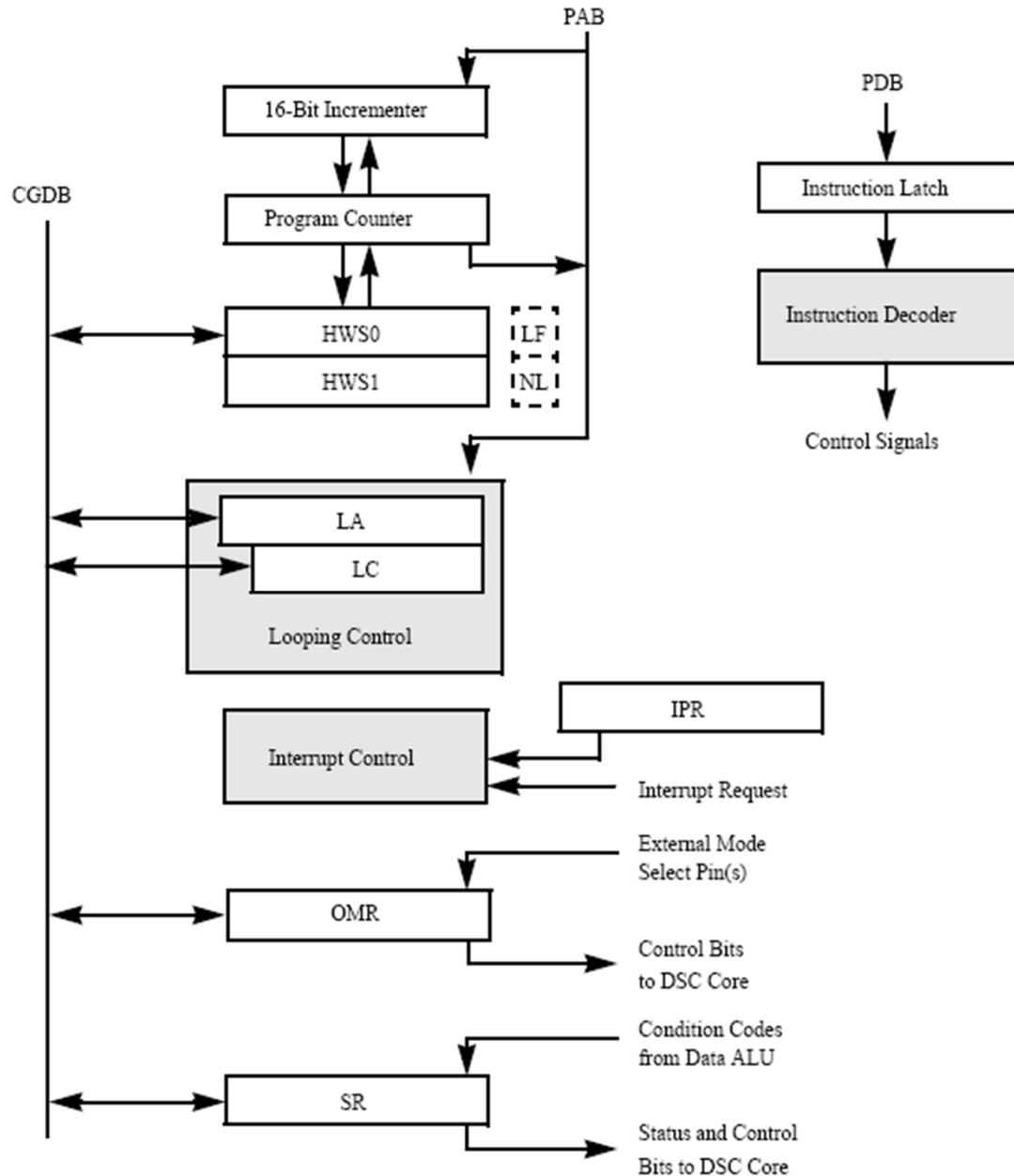
Realiza todos los cálculos de direcciones.

- Contiene dos ALUs -> 2 direcciones de 16 bits en cada ciclo de instrucción.
- Las operaciones matemáticas pueden hacerse empleando aritmética lineal o modular.
- Registros:
 - 4 registros de direcciones (R0-R3)
 - 1 stack pointer (SP)
 - 1 registro offset (N)
 - 1 registro modificador (M01), usado en aritmética modular.
 - 1 unidad aritmética modular, utilizada en, por ejemplo, buffer circular
 - 1 unidad de incremento/decremento

Looping Mechanisms

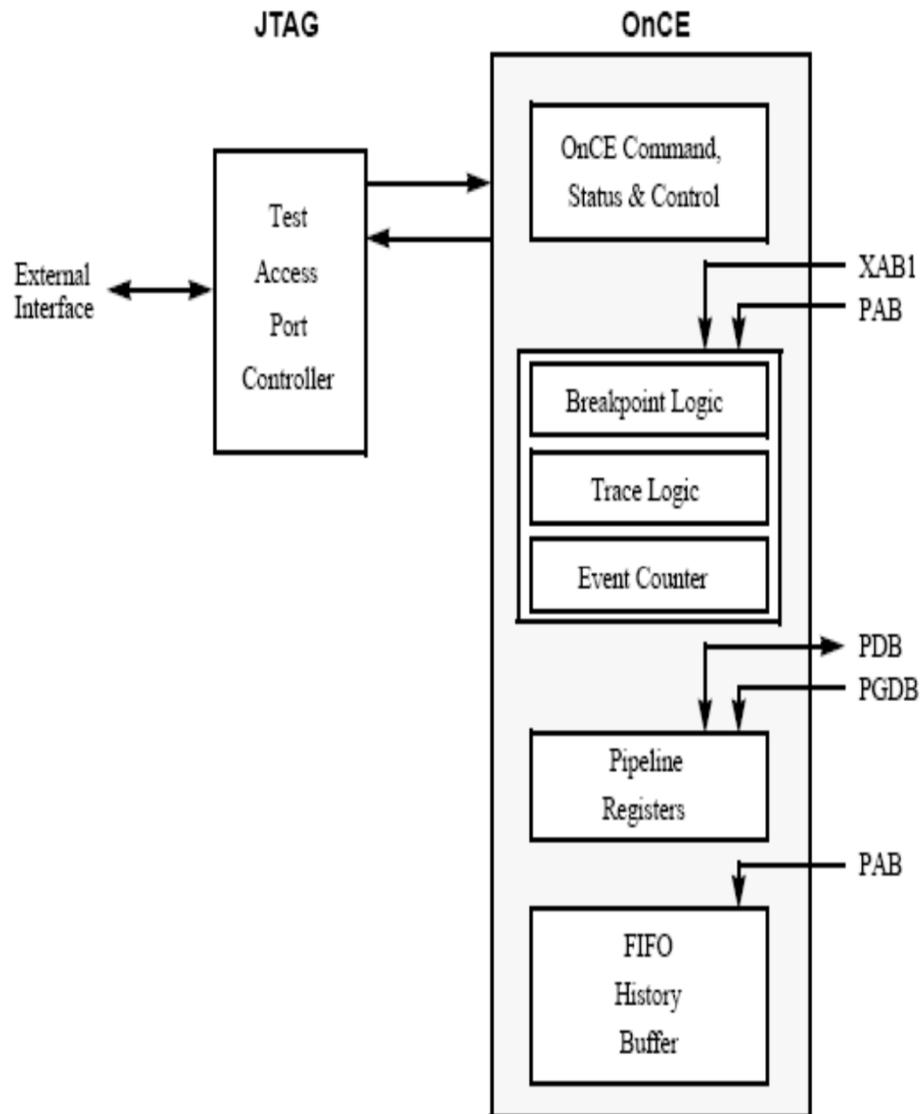
DO	#N, LABEL		
MAC	Y0, X0, A	X: (R0)+N, Y1	X: (R3)+, X0
MAC	Y1, X0, A	Y1, X: (R0)+	
ASL	A		X: (R3)+, X0
ASR	A	A, X: (R0)+	
MAC	Y0, X0, A		X: (R3)+, X0
MAC	Y1, X0, A	X: (R0)+, Y0	X: (R3)+, X0
LABEL			

Program Controller



- Prebúsqueda de la instrucción.
- Decodificación de la instrucción
- Hardware DO and REP loop control
- Procesamiento de excepciones (interrupción)

JTAG y On-Chip Emulation (OnCE™)



- **JTAG:** electrónica que puede incorporar un circuito integrado para asistir en el test, mantenimiento y soporte de placas de circuito impreso (PCB)
 - Comunicación serie
 - Interprete de comandos
 - Boundary scan register (técnica usada para testear los ICs y sus interconexiones en circuitos de alta densidad)
 - ID register
- **OnCE:**
 - Comandos, estados y control
 - Lógica de control de Breakpoint y seguimiento (trace)
 - Pipeline save and restore
 - FIFO History Buffer:
 - BRA, JMP, BCC (with condition true), JCC (with condition true)
 - BRSET, BRCLR, RTS, RTI, JSR